

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-170937  
(P2002-170937A)

(43) 公開日 平成14年6月14日 (2002.6.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 L 27/105		G 1 1 C 11/14	A 5 F 0 8 3
G 1 1 C 11/14		11/15	5 F 1 0 1
11/15		H 0 1 L 43/06	S
H 0 1 L 21/8247			A
29/788		27/10	4 4 7
審査請求 未請求 請求項の数 6 O L (全 11 頁) 最終頁に続く			

(21) 出願番号 特願2000-365017 (P2000-365017)

(22) 出願日 平成12年11月30日 (2000. 11. 30)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 井上 大介

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

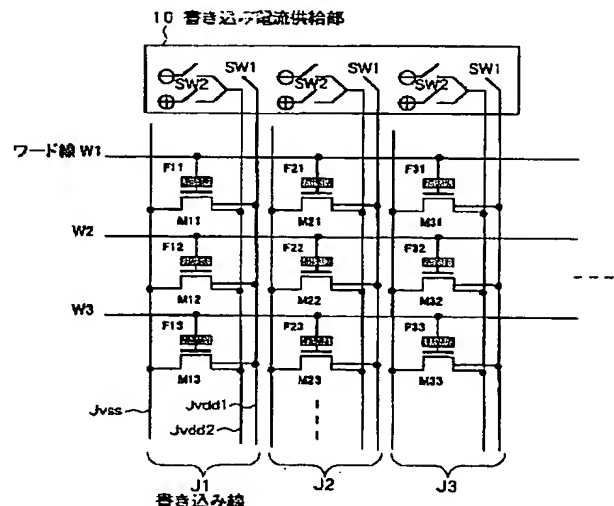
Fターム(参考) 5F083 FZ10 LA03 LA12 LA16  
5F101 BA68

(54) 【発明の名称】 半導体記憶装置及びその駆動方法

(57) 【要約】

【課題】 磁性体を磁化させることで情報を記録保持し、ホール効果を利用して記録された情報を再生する磁気メモリ、及び該磁気メモリに対して情報の書き込み／読み出しを行うための駆動方法を提供する。

【解決手段】 メモリセルが備えるMOSトランジスタのソースまたはドレインを2つの領域に分割し、該2つの領域に接続される2本のデータ線、及び該2本のデータ線を情報の書き込み時に短絡させるためのスイッチをそれぞれ設け、情報の書き込み時にMOSトランジスタのチャネル領域に流れる書き込み電流により、記録する情報に応じた方向に磁性体を磁化させ、情報の読み出し時に2本のデータ線に流れる読み出し電流をそれぞれ検出し、該2本のデータ線に流れる読み出し電流の大小関係から前記磁性体に記録された情報を再生する。



1

## 【特許請求の範囲】

【請求項1】 複数のメモリセルがマトリクス状に配置された半導体記憶装置であって、

前記メモリセルに、

ソースまたはドレインのいずれか一方が2つの領域に分割されたMOSトランジスタと、

該MOSトランジスタのチャネル領域に磁界が印加可能な位置に配置され、磁化方向によって情報を記録保持する磁性体と、を備え、

前記2つの領域に接続される、前記磁性体を磁化するための書き込み電流、及び前記磁性体に記録された情報を再生するための読み出し電流が流れるデータ線と、

前記2つの領域に接続された2本のデータ線を情報の書き込み時に短絡させるためのスイッチと、

記録する情報に応じた方向に前記磁性体を磁化させるための前記書き込み電流を、前記データ線を介して前記MOSトランジスタのチャネル領域に供給する書き込み電流供給部と、

前記2本のデータ線に流れる前記読み出し電流をそれぞれ検出し、該2本のデータ線に流れる読み出し電流の大小関係から前記磁性体に記録された情報を再生するセンスアンプ部と、を有する半導体記憶装置。

【請求項2】 前記データ線が前記磁性体を挟んで前記MOSトランジスタのチャネル領域と対向する位置を通るように配置され、

前記磁性体は、前記MOSトランジスタのチャネル領域、及び前記データ線にそれぞれ流れる書き込み電流によって磁化される請求項1記載の半導体記憶装置。

【請求項3】 前記磁性体は、

前記MOSトランジスタのチャネル領域を覆うように形成されたU字形状である請求項1または2記載の半導体記憶装置。

【請求項4】 メモリセルに、

ソースまたはドレインのいずれか一方が2つの領域に分割されたMOSトランジスタと、

該MOSトランジスタのチャネル領域に磁界が印加可能な位置に配置され、磁化方向によって情報を記録保持する磁性体と、を備え、

複数の該メモリセルがマトリクス状に配置された半導体記憶装置に対して情報の書き込み、及び読み出しを行うための駆動方法であって、

予め、前記2つの領域に接続される、前記磁性体を磁化するための書き込み電流、及び前記磁性体に記録された情報を再生するための読み出し電流が流れるデータ線と、

前記2つの領域に接続された2本のデータ線を情報の書き込み時に短絡させるためのスイッチと、を備えておき、

前記スイッチをオンにして前記2本のデータ線を短絡させ、前記MOSトランジスタのチャネル領域に流れる前

2

記書き込み電流により、記録する情報に応じた方向に前記磁性体を磁化させて該情報を書き込み、

前記スイッチをオフにして前記2本のデータ線を分離させ、前記2本のデータ線に流れる前記読み出し電流をそれぞれ検出し、該2本のデータ線に流れる読み出し電流の大小関係から前記磁性体に記録された情報を再生する半導体記憶装置の駆動方法。

【請求項5】 前記書き込み電流を、前記読み出し電流よりも大きい値に設定し、

前記読み出し電流を、前記磁性体が磁化しない電流値に設定する請求項4記載の半導体記憶装置の駆動方法。

【請求項6】 予め、前記磁性体を挟んで前記MOSトランジスタのチャネル領域と対向する位置を通るように前記データ線を配置し、

前記磁性体を、前記MOSトランジスタのチャネル領域、及び前記データ線にそれぞれ流れる書き込み電流によって磁化する請求項4または5記載の半導体記憶装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁性体を磁化させることで情報を記録保持し、ホール効果を利用して記録された情報を再生する半導体記憶装置及びその駆動方法に関する。

【0002】

【従来の技術】従来、情報の記録再生が可能な半導体メモリとしてDRAM (Dynamic Random Access Memory) が広く普及している。DRAMは、半導体集積回路内のコンデンサに蓄積される電荷により情報の記録保持を行うものであり、電源供給の停止によって記録されていた情報が失われる揮発性のメモリである。なお、コンデンサに蓄積された電荷は時間とともに減少するため、DRAMは定期的に電荷を補充するリフレッシュ動作を必要とする。

【0003】これに対して、情報の記録再生が可能であり、電源供給を停止しても記録された情報が失われない不揮発性のメモリとして、現在、フラッシュメモリが主に用いられている。しかしながら、フラッシュメモリは書き込み時間がきわめて長いことや書き換え回数が $10^5 \sim 10^6$ 回程度に限られていること等の問題があるため、フラッシュメモリに替わる新しい不揮発性メモリが望まれている。

【0004】そのような不揮発性メモリとして、例えば、強誘電体メモリや磁性体薄膜を用いた磁気メモリ等が開発されている。但し、強誘電体メモリは強誘電体膜の材料選定とその製造プロセスの難易度が高く信頼性に問題があるため現状では実用化に至っていない。一方、磁性体薄膜を用いた磁気メモリ (Magnetic Random Access Memory) は、繰り返し書き換え回数がほぼ無限回であること、放射線が入射されても記録内容の消失のおそ

## 3

れが少ないこと等、従来の半導体メモリには無い優れた特徴を備えている。

【0005】近年、磁性体薄膜を用いた磁気メモリとして、巨大磁気抵抗（GMR：Giant Magneto-Resistance）素子またはトンネル接合型磁気抵抗（TMR：spin Tunneling Magneto-Resistance）素子等の磁気抵抗素子を用いたものが開発されている。以下、特開2000-132961号公報を参照して上記磁気抵抗素子を用いた磁気メモリについて説明する。

【0006】図9は従来の磁気抵抗素子を用いた磁気メモリの構成を示す回路図である。

【0007】図9に示すように、磁気抵抗素子を用いた磁気メモリは、MOS型電界効果トランジスタM11～M33（以下、単にMOSトランジスタと称す）と、GMR素子またはTMR素子から成る磁気抵抗素子R11～R33とによってメモリセルが構成され、該メモリセルがマトリクス状に配置された構成である。なお、図9はメモリセルが3行3列のマトリクス状に並べられた構成を示しているが、実際にはさらに多くのメモリセルが並べられた構成である。

【0008】マトリクス状に配置された各メモリセルの列毎にはビット線B1、B2、B3、…がそれぞれ設けられ、行毎にはワード線W1、W2、W3、…がそれぞれ設けられている。ビット線B1、B2、B3、…にはMOSトランジスタのソースがそれぞれ接続され、ワード線W1、W2、W3、…にはMOSトランジスタのゲートがそれぞれ接続されている。また、磁気抵抗素子の一端はMOSトランジスタのドレインに接続され、他端は接地されている。さらに、磁気抵抗素子と近接した位置には、該磁気抵抗素子の磁性層を所定方向に磁化させるための書き込み電流を流す書き込み線J11～J33がそれぞれ設けられている。

【0009】磁気抵抗素子R11～R33は、保磁力の異なる2つの磁性層とそれらの間に挟まれた非磁性層とを備えた構成であり、これら2つの磁性層の磁化方向が同一であるか逆であるかによって異なった抵抗値を持つ素子である。

【0010】このような構成において、図9に示した複数の磁気抵抗素子のうち、例えば、MOSトランジスタM21及び磁気抵抗素子R21を有するメモリセルに情報を書き込む場合は、書き込み線J21に書き込み電流を流して磁気抵抗素子R21の磁性層を所定方向に磁化させ、異なる2値の抵抗値のいずれか一方に設定することで情報をバイナリデータとして記録する。

【0011】一方、磁気抵抗素子R21に記録されたデータを読み出す場合は、ワード線W1にバイアス電圧を印加してMOSトランジスタM21をオンさせ、ビット線B2から磁気抵抗素子R21に流れる電流を検出して磁気抵抗素子R21の抵抗値を求め、その値から記録されていたデータを再生する。

## 4

【0012】このように磁気抵抗素子を用いた磁気メモリでは、磁気抵抗素子自体に電流を流してその抵抗値を検出し、抵抗値の違いをバイナリデータとして読み取るため、磁気抵抗素子には検出が容易な抵抗値であると共に抵抗値の変化率を検出するのに十分なMR比であることが要求され、それらを実現する材料の組み合わせが課題となる。

【0013】ところで、磁性体薄膜を用いた磁気メモリの他の構成として、ホール効果を利用する磁気センサをメモリセルとして用いるものが現在開発されつつある。

【0014】ホール効果を利用する磁気センサとしては、例えば、1985 IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. SC-20, No. 3 p819（以下、従来文献と称す）で、図10に示すような構造が提案されている。

【0015】図10はホール効果を利用する磁気センサの構造を示す平面図である。

【0016】図10に示す磁気センサは、MOSトランジスタに1つのソース領域（Source）と2つのドレイン領域（Drain1, Drain2）とを備え、MOSトランジスタのゲート電極（Gate）直下のチャネル領域に対して垂直方向に検出対象である磁界Bを印加する構造である。

【0017】このような構造の磁気センサでは、ホール効果によってソースから2つのドレインに流れる電流値に差が生じ、その差が磁界の強さに依存するため、電流値の差を検出することで磁気センサとして利用することができる。

【0018】また、図10に示した構造の磁気センサは、MOSトランジスタのチャネル領域に印加する磁界の方向によって、2つのドレインに流れる電流の大小関係を反転させることができる。したがって、MOSトランジスタのゲート近傍に磁化方向の制御が可能な磁性体を設ければ、任意の情報を磁性体の磁化方向によってバイナリデータとして記録可能なメモリセルとしても用いることができる。

【0019】

【発明が解決しようとする課題】上述した従来文献では、図10に示した構造がホール効果により2つのドレインに流れる電流値に差が生じることを確認し、磁気センサとして利用可能なことを示しているだけである。したがって、図10に示した磁気センサをメモリセルとして用い、それらをマトリクス状に配置した磁気メモリに対する情報の書き込み方法や読み取り方法については提案されていない。

【0020】本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、磁性体を磁化させることで情報を記録保持し、ホール効果を利用して記録された情報を再生する磁気メモリ、及び該磁気メモリに対して情報の書き込み／読み出しを行うための駆動方法を提供することを目的とする。

【0021】

5

【課題を解決するための手段】上記目的を達成するため本発明の半導体記憶装置は、複数のメモリセルがマトリクス状に配置された半導体記憶装置であって、前記メモリセルに、ソースまたはドレインのいずれか一方が2つの領域に分割されたMOSトランジスタと、該MOSトランジスタのチャネル領域に磁界が印加可能な位置に配置され、磁化方向によって情報を記録保持する磁性体と、を備え、前記2つの領域に接続される、前記磁性体を磁化するための書き込み電流、及び前記磁性体に記録された情報を再生するための読み出し電流が流れるデータ線と、前記2つの領域に接続された2本のデータ線を情報の書き込み時に短絡させるためのスイッチと、記録する情報に応じた方向に前記磁性体を磁化させるための前記書き込み電流を、前記データ線を介して前記MOSトランジスタのチャネル領域に供給する書き込み電流供給部と、前記2本のデータ線に流れる前記読み出し電流をそれぞれ検出し、該2本のデータ線に流れる読み出し電流の大小関係から前記磁性体に記録された情報を再生するセンスアンプ部と、を有する構成である。

【0022】このとき、前記データ線が前記磁性体を挟んで前記MOSトランジスタのチャネル領域と対向する位置を通るように配置され、前記磁性体は、前記MOSトランジスタのチャネル領域、及び前記データ線にそれぞれ流れる書き込み電流によって磁化されてもよく、前記磁性体は、前記MOSトランジスタのチャネル領域を覆うように形成されたU字形状であってもよい。

【0023】一方、本発明の半導体記憶装置の駆動方法は、メモリセルに、ソースまたはドレインのいずれか一方が2つの領域に分割されたMOSトランジスタと、該MOSトランジスタのチャネル領域に磁界が印加可能な位置に配置され、磁化方向によって情報を記録保持する磁性体と、を備え、複数の該メモリセルがマトリクス状に配置された半導体記憶装置に対して情報の書き込み、及び読み出しを行うための駆動方法であって、予め、前記2つの領域に接続される、前記磁性体を磁化するための書き込み電流、及び前記磁性体に記録された情報を再生するための読み出し電流が流れるデータ線と、前記2つの領域に接続された2本のデータ線を情報の書き込み時に短絡させるためのスイッチと、を備えておき、前記スイッチをオンにして前記2本のデータ線を短絡させ、前記MOSトランジスタのチャネル領域に流れる前記書き込み電流により、記録する情報に応じた方向に前記磁性体を磁化させて該情報を書き込み、前記スイッチをオフにして前記2本のデータ線を分離させ、前記2本のデータ線に流れる前記読み出し電流をそれぞれ検出し、該2本のデータ線に流れる読み出し電流の大小関係から前記磁性体に記録された情報を再生する方法である。

【0024】このとき、前記書き込み電流を、前記読み出し電流よりも大きい値に設定し、前記読み出し電流を、前記磁性体が磁化しない電流値に設定しておくこと

6

が好ましい。

【0025】また、予め、前記磁性体を挟んで前記MOSトランジスタのチャネル領域と対向する位置を通るように前記データ線を配置し、前記磁性体を、前記MOSトランジスタのチャネル領域、及び前記データ線にそれぞれ流れる書き込み電流によって磁化してもよい。

【0026】上記のような半導体記憶装置及びその駆動方法では、メモリセルが備えるMOSトランジスタのソースまたはドレインを2つの領域に分割し、該2つの領域に接続される2本のデータ線、及び該2本のデータ線を情報の書き込み時に短絡させるためのスイッチをそれぞれ設け、情報の書き込み時にMOSトランジスタのチャネル領域に流れる書き込み電流により記録する情報に応じた方向に磁性体を磁化させ、情報の読み出し時に2本のデータ線に流れる読み出し電流をそれぞれ検出し、該2本のデータ線に流れる読み出し電流の大小関係から前記磁性体に記録された情報を再生することで、図10に示した構造の磁気センサをメモリセルとして用いることが可能になる。

【0027】また、データ線を磁性体を挟んでMOSトランジスタのチャネル領域と対向する位置を通るように配置し、MOSトランジスタのチャネル領域、及びデータ線にそれぞれ流れる書き込み電流によって磁性体を磁化することで、情報を書き込むのに必要な磁界の強さを低減することができる。

【0028】さらに、磁性体をMOSトランジスタのチャネル領域を覆うようにU字形状で形成することで、磁性体に対して磁界をより効果的に印加することができる。

【0029】

【発明の実施の形態】次に本発明について図面を参照して説明する。

【0030】上述したように、従来文献では図10に示した構造が磁気センサとして利用できることを提案しただけであり、メモリセルとして用いるための構造については何も記載されていない。本実施形態では、まず最初に図10に示した磁気センサを利用したメモリセルの構造について図面を用いて説明する。

【0031】図1は磁気センサを利用したメモリセルの一構成例を示す断面図である。なお、図1ではN型のMOSトランジスタをメモリセルに用いる例を示しているが、P型のMOSトランジスタをメモリセルに用いる構成であってもよい。

【0032】図1に示すように、磁気センサを利用したメモリセルは、P型半導体基板1に形成されたMOSトランジスタ2と、該MOSトランジスタ2のゲート電極3上に層間絶縁膜4を挟んで形成された磁性体膜5とを備え、各MOSトランジスタ2がLOCOS (Local Oxidation of Silicon) 酸化膜6により分離された構造である。

7

【0033】MOSトランジスタ2のドレイン7は、図10に示した磁気センサと同様に2つの領域に分割された構造であり、磁性体膜5はMOSトランジスタ2のチャネル領域8に対して垂直方向に磁界を印加する位置に配置されている。なお、層間絶縁膜4は、MOSトランジスタ2のゲート電極3と磁性体膜5とを絶縁するものであり、例えば、磁性体膜5が絶縁物の場合は無くてもよい。また、本実施形態ではドレインを2つの領域に分割しているが、ソースを2つの領域に分割してもよい。

【0034】このような構成において、図1に示したメモリセルに情報を書き込む場合は、磁性体膜5の近傍に配置した不図示の書き込み線、あるいはMOSトランジスタ2をオンさせてチャネル領域8に所定の書き込み電流を流し、該書き込み電流により発生する磁界を磁性体膜5に印加することで磁性体膜5を所定の方向に磁化させる。

【0035】このとき、書き込み電流の流れる方向によって磁性体膜5の磁化方向を制御することができるため、磁化方向により任意の情報をバイナリデータとして記録することができる。なお、書き込み電流は、後述する情報の読み出し時にMOSトランジスタ2に流す電流よりも大きな電流値に設定する必要があるため、2つに分割されたドレインをスイッチ等によって短絡させる。このようにすることで、MOSトランジスタ2のゲート幅Wが読み出し時のおよそ2倍になるため、電流駆動能力を高めることができる。

【0036】一方、図1に示したメモリセルから情報を読み出す場合は、ゲート電極3に所定のバイアス電圧を印加してMOSトランジスタ2をオンにさせ、ソース9と2つのドレイン7間にそれぞれ電流を流し、それらの電流値の大小関係を検出することで「1」または「0」の情報を再生する。なお、情報の読み出し時にMOSトランジスタ2に流す電流は、磁性体膜5が磁化されない程度の値に設定する。また、情報の書き込み時に短絡させていた2つのドレイン7は上記スイッチ等をオフさせることで再び分離させる。

【0037】（第1実施例）次に、本発明の磁気メモリの第1実施例について図面を用いて説明する。

【0038】図2は本発明の磁気メモリの第1実施例の構成を示す回路図である。図3は図2に示した磁気メモリが有するメモリセルの第1実施例の構造を示す斜視図であり、図4は図3に示したメモリセルの構造の変形例を示す斜視図である。また、図5は図2に示した書き込み電流供給部の一構成例を示す回路図であり、図6は図2に示したメモリセルから情報を読み出すためのセンスアンプの第1実施例の構成を示す回路図である。なお、図2は図1に示したメモリセルが3行3列のマトリクス状に並べられた構成を示しているが、より多くのメモリセルが並べられた構成であってもよい。また、図3及び図4では主要な構成要素のみを示しているが、実際には

8

MOSトランジスタ上に積層された層間絶縁膜等によって各書き込み線が支持される構造である。

【0039】図2に示すように、第1実施例の磁気メモリは、メモリセルに、MOSトランジスタM11～M33と、該MOSトランジスタM11～M33のゲート近傍に配置された磁性体膜F11～F33とを有し、複数の該メモリセルがマトリクス状に配置された構成である。マトリクス状に配置された各メモリセルの列毎には書き込み線J1、J2、J3、…がそれぞれ設けられ、行毎にはワード線W1、W2、W3、…がそれぞれ設けられている。また、書き込み線J1、J2、J3、…には、メモリセルに対する情報書き込み時に書き込み電流を供給するための書き込み電流供給部10が接続されている。

【0040】ワード線W1、W2、W3、…にはMOSトランジスタのゲートがそれぞれ接続され、書き込み線J1、J2、J3、…にはMOSトランジスタのソース、及びドレインがそれぞれ接続される。

【0041】上述したように、MOSトランジスタのドレインは2つの領域に分割されているため、書き込み線J1、J2、J3、…は、2つのドレインに対応して設けられた第1の書き込み線Jvdd1、及び第2の書き込み線Jvdd2と、MOSトランジスタのソースに接続される第3の書き込み線Jvssとを備えた構成である。なお、MOSトランジスタのソースが2つの領域に分割されている場合は、第1の書き込み線、及び第2の書き込み線はそれぞれ2つのソースに対応して設けられ、第3の書き込み線はドレインに接続される。

【0042】情報の書き込み時、第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2には所定の電源電圧Vddがそれぞれ印加され、第3の書き込み線Jvssには所定の基準電圧Vssが印加される。また、情報の読み出し時、第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2には情報を読み取るための不図示のセンスアンプ部が接続され、第3の書き込み線Jvssには所定の電源電圧Vddが印加される。

【0043】図3に示すように、第1実施例のメモリセルは、図1と同様に、P型半導体基板1の表面近傍にLOCOS酸化膜6によって分離されたMOSトランジスタ（図3では、NMOS型電界効果トランジスタ）2が形成され、該MOSトランジスタ2のゲート電極3上に磁性体膜5が配置された構造である。MOSトランジスタ2のドレインはSiO<sub>2</sub>等の絶縁膜によって2つの領域に分離され、一方のドレイン（D1）7aには第1の書き込み線Jvdd1が接続され、他方のドレイン（D2）7bには第2の書き込み線Jvdd2が接続される。また、MOSトランジスタ2のソース（S）9には第3の書き込み線Jvssが接続される。なお、図4に示すように、第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2をそれぞれL字型で形成し、チャネ

9

ル領域8だけでなく磁性体膜5の上部からも書き込み電流による磁界を印加する構造にすれば、情報を書き込むのに必要な磁界の強さを図3に示したメモリセルよりも小さくすることができるため、書き込み電流を低減することができる。したがって、磁気メモリの消費電力を低減できる。

【0044】図5に示すように、書き込み電流供給部10は、情報の書き込み時に第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2を短絡する第1のスイッチSW1と、書き込み電流の方向を反転させるために第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2に接続する電圧源を切り換える第2のスイッチSW2と、第2のスイッチSW2を制御するための制御回路11とを有し、第1のスイッチSW1及び第2のスイッチSW2がマトリクス状に配置されたメモリセルの列毎に設けられた構成である。

【0045】なお、図5では、書き込み電流供給部10に書き込み線J1、J2のみが接続された構成を示しているが、書き込み電流供給部10にはメモリセルの列毎にそれぞれ設けられた全ての書き込み線が接続される。また、図5では、第1のスイッチSW1を制御するための回路が記載されていないが、第1のスイッチSW1は情報の書き込み時に常にオンにさせておけばよい。例えば、外部から磁気メモリに供給される磁気メモリに対する読み出し／書き込み指令であるリード／ライト(Read/Write)信号を利用して駆動させればよい。

【0046】制御回路11は、情報を書き込むメモリセル列(ビット列)を選択するためのシフトレジスタ12と、書き込みデータ(Data)に応じて後述する2つの電圧源のいずれか一方を第2のスイッチSW2に選択させる、マトリクス状に配置されたメモリセルの列毎に設けられた選択回路13とを有する構成である。

【0047】第2のスイッチSW2には、基準電圧Vssよりも高い電圧Vhigh(Vss+ΔV)、及び基準電圧Vssよりも低い電圧Vlow(Vss-ΔV)がそれぞれ供給され、選択回路13の出力信号にしたがってVhighまたはVlowのいずれか一方が第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2に供給される。

【0048】なお、第1のスイッチSW1及び第2のスイッチSW2をメモリセル毎に設ける構成も考えられるが、セル面積が増大してしまうため、図2や図5に示すようにマトリクス状に配置されたメモリセルの列毎に設けることが望ましい。

【0049】図6において、センスアンプ部14は、第1のデータ線D2(書き込み線Jvdd1)に接続されたMOSTランジスタQ1と、第2のデータ線D2'

(第2の書き込み線Jvdd2)に接続されたMOSTランジスタQ2と、MOSTランジスタQ1とベースが共通に接続されたMOSTランジスタQ3と、MOST

10

ランジスタQ2とベースが共通に接続されたMOSTランジスタQ4と、電源VddとMOSTランジスタQ1間に接続されるMOSTランジスタQ5と、電源VddとMOSTランジスタQ2間に接続され、ゲートがMOSTランジスタQ5のゲートと共通に接続されたMOSTランジスタQ6とを有する構成である。

【0050】なお、図6では、第1の書き込み線Jvdd1をデータ線D2と称し、第2の書き込み線Jvdd2を第2のデータ線D2'と称している。また、図6では、データ線D2、D2'に接続されるセンスアンプ部14のみを記載しているが、センスアンプ部14はマトリクス状に配置されたメモリセルの各列毎にそれぞれ設けられる。

【0051】図6に示すセンスアンプ部14は、MOSTランジスタQ1のゲートとドレインが接続され、MOSTランジスタQ2のゲートとドレインが接続されているため、MOSTランジスタQ1とQ3、及びMOSTランジスタQ2とQ4がそれぞれカレントミラー回路を構成している。また、MOSTランジスタQ5のゲートとドレインが接続されているため、MOSTランジスタQ5とQ6もカレントミラー回路を構成している。

【0052】したがって、情報読み出し時に、第1のデータ線D2に流れる電流を $I + \Delta I$ とし、第2のデータ線D2'に流れる電流を $I - \Delta I$ とすると、MOSTランジスタQ4とQ6の接続点からは検出電流 $2\Delta I$ が出力される。逆に、第1のデータ線D2に流れる電流を $I - \Delta I$ とし、第2のデータ線D2'に流れる電流を $I + \Delta I$ とすれば、MOSTランジスタQ4とQ6の接続点からは検出電流 $-2\Delta I$ が出力される。

【0053】次に、本実施例の磁気メモリに対する情報の書き込み方法、及び読み出し方法について説明する。

【0054】図2に示した磁気メモリのうち、例えば、MOSTランジスタM22及び磁性体膜F22から成るメモリセルに情報を書き込む場合、まず、対応する第1のスイッチSW1をオンにして第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2を短絡させ、書き込みデータ(Data)に応じて第2のスイッチSW2にVhighまたはVlowのいずれか一方を出力させる。

【0055】例えば、メモリセルに「1」の情報を書き込む場合は、第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2にVhigh(図2の「+」)を印加し、メモリセルに「0」の情報を書き込む場合は、第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2にVlow(図2の「-」)を印加する。なお、第3の書き込み線Jvssには基準電圧Vssを印加しておく。

【0056】続いて、情報を書き込むメモリセルに対応するワード線(ここでは、W2)にバイアス電圧(例えば、Φ(V))を印加し、MOSTランジスタM22を

11

オンさせる。ワード線W2に印加するバイアス電圧Φ(V)は、例えば、上述した情報の読み出し時に第1のデータ線(第1の書き込み線Jvdd1)及び第2のデータ線(第2の書き込み線Jvdd2)に流れる電流(以下、読み出し電流と称す)Iの2倍の電流2Iが書き込み電流として流れるように設定する。

【0057】このとき、MOSトランジスタM22の2つのドレインにはそれぞれ電流2Iが流れるため、MOSトランジスタM22のチャネル領域及びソースにはそれぞれ4Iの書き込み電流が流れる。磁性体膜F22は、MOSトランジスタM22のチャネル領域に流れる書き込み電流の方向に応じて発生した磁界によって磁化され、所望の情報がメモリセルに記録される。

【0058】一方、図2に示した磁気メモリのうち、例えば、MOSトランジスタM22及び磁性体膜F22から成るメモリセルに記録された情報を読み出す場合は、まず、対応する第1のスイッチSW1をオフにして第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2を分離させ、第3の書き込み線Jvssに所定の電源電圧Vddを印加する。

【0059】続いて、情報を読み出すメモリセルに対応するワード線(ここでは、W2)に所定のバイアス電圧を印加し、MOSトランジスタM22をオンさせる。ワード線W2に印加するバイアス電圧は、例えば、磁性体膜F22が磁化されていないときに第1のデータ線及び第2のデータ線に電流I(読み出し電流)が流れるような値に設定すればよい。具体的には、上述した書き込み電流を2Iにするためのバイアス電圧Φ(V)の

【0060】

【外1】

$$\frac{1}{\sqrt{2}} \text{倍}$$

すなわち、

【0061】

【外2】

$$\frac{\Phi}{\sqrt{2}}(V)$$

に設定すればよい。

【0062】このとき、第1のデータ線及び第2のデータ線には、磁性体膜の磁化方向に対応して電流差ΔIが生じるため、図6に示したセンスアンプ部によってその差電流を検出することで、メモリセルに記録されていた情報を再生することができる。

【0063】なお、MOSトランジスタのチャネル領域に流す読み出し電流は磁性体膜の磁化方向を反転させない程度の値に設定しなければならない。しかしながら、ワード線に印加するバイアス電圧をさらに下げて読み出し電流を低減させると、センスアンプ部で差電流を検出

12

することができなくなるおそれがある。したがって、読み出し電流は、磁性体膜の磁化方向を反転させることがなく、かつ差電流の検出に十分な値に設定する。

【0064】(第2実施例)次に本発明の第2実施例について図面を用いて説明する。

【0065】本実施例ではメモリセルに記録された情報を読み出すためのセンスアンプ部の構成が第1実施例と異なっている。その他の構成は第1実施例と同様であるため、その説明は省略する。

【0066】図7は図2に示したメモリセルから情報を読み出すためのセンスアンプ部の第2実施例の構成を示す回路図である。

【0067】図7に示すように、本実施例のセンスアンプ部15は、ソースが共通に接続され、ゲートが互いのドレインに接続されたMOSトランジスタQ11、Q12と、第1の書き込み線Jvdd1と接地電位間に接続された抵抗器R11と、第2の書き込み線Jvdd2と接地電位間に接続された抵抗器R12と、MOSトランジスタQ11、Q12のドレインに傾きKのランプ電圧を印加するための電流源16とを有する構成である。

【0068】なお、抵抗器R11及び抵抗器R12の抵抗値はそれぞれ等しい値である。また、図7では、第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2を第1実施例と同様にそれぞれデータ線と称している。また、図7ではデータ線D2、D2'にのみセンスアンプ部が接続された様子を示しているが、センスアンプ部はマトリクス状に配置されたメモリセルの各列毎にそれぞれ設けられている。

【0069】このような構成において、第1実施例と同様に、MOSトランジスタM22及び磁性体膜F22から成るメモリセルに記録された情報を読み出す場合、まず、対応する第1のスイッチSW1をオフにして第1のデータ線D2(第1の書き込み線Jvdd1)及び第2のデータ線D2'(第2の書き込み線Jvdd2)を分離させ、第3の書き込み線Jvssに所定の電源電圧Vddを印加する。

【0070】続いて、情報を読み出すメモリセルに対応するワード線(ここでは、W2)に所定のバイアス電圧(例えば、

【0071】

【外3】

$$\frac{\Phi}{\sqrt{2}}(V)$$

)を印加し、MOSトランジスタM22をオンさせる。

【0072】ここで、第1のデータ線D2に流れる電流をI+ΔIとし、第2のデータ線D2'に流れる電流をI-ΔIとすると、抵抗器R11と第1のデータ線D2の接続点(ノードN1)と抵抗器R12と第2のデータ線D2'の接続点(ノードN2)には、第1のデータ線

13

D2と第2のデータ線D2'の差電流 $\Delta I$ に対応した電位差が生じる。

【0073】このとき、電流源16によってMOSトランジスタQ11、Q12への印加電圧を傾きKのランプ電圧に設定すれば、上記電位差がMOSトランジスタQ11、Q12によって差動増幅され、ノードN1、N2の電位の大小関係に応じてMOSトランジスタQ11、Q12の一方がオンし、他方がオフして、その状態でラッチされる。

【0074】したがって、MOSトランジスタQ11のドレイン電圧Z1、及びMOSトランジスタQ11のドレイン電圧Z2をそれぞれ測定することで、メモリセルに記録されていた情報を再生することができる。

【0075】なお、第1実施例と同様に、MOSトランジスタのチャネル領域に流す読み出し電流は、磁性体膜の磁化方向を反転させることがなく、かつ電位差の検出に十分な値に設定する。

【0076】（第3実施例）次に本発明の第3実施例について図面を用いて説明する。

【0077】本実施例ではメモリセルのMOSトランジスタのチャネル領域を図8に示すようにU字型の磁性体膜で覆う構造にした点が第1実施例と異なっている。その他の構成は第1実施例と同様であるため、その説明は省略する。なお、センスアンプ部は、第1実施例と同様の構成を用いてもよく、第2実施例と同様の構成を用いてもよい。

【0078】図8は図2に示した磁気メモリが有するメモリセルの第2実施例の構造を示す斜視図である。

【0079】図8に示すように、本実施例のメモリセルは、P型半導体基板1上に縦型のMOSトランジスタ

（図8では、NMOS型電界効果トランジスタ）2が形成され、該MOSトランジスタ2のゲート電極3を覆うようにして磁性体膜5が形成された構造である。P型半導体基板1上に形成された第1のN<sup>+</sup>領域9aはMOSトランジスタのソース（S）9と接続され、第2のN<sup>+</sup>領域7cはMOSトランジスタのドレイン（図8ではD2）と接続されている。

【0080】また、MOSトランジスタ2の一方のドレイン（D1）7aには第1の書き込み線Jvdd1が接続され、他方のドレイン（D2）7bに繋がる第2のN<sup>+</sup>領域7cには第2の書き込み線Jvdd2が接続されている。また、MOSトランジスタ2のソース（S）9に繋がる第1のN<sup>+</sup>領域9aには第3の書き込み線Jvssが接続されている。

【0081】第1のN<sup>+</sup>領域9aと第2のN<sup>+</sup>領域7cは第1のアイソレーション領域17aによって分離され、MOSトランジスタ2のドレインは第2のアイソレーション領域17bによって2つに分離されている。第1のアイソレーション領域17a及び第2のアイソレーション領域17bは、P型半導体、あるいはSiO<sub>2</sub>やSi

14

3N4等の絶縁膜等によって形成される。

【0082】本実施例のメモリセルは、図8に示すようにMOSトランジスタ2のチャネル領域をU字型の磁性体膜5で覆う構造となるため、チャネル領域に対して垂直方向に一樣な磁界が印加され、第1実施例のメモリセルよりも磁界をより効果的に印加することができる。したがって、磁気の検出感度が向上するため、より少ない読み出し電流でメモリセルに記録された情報を再生することができる。

【0083】なお、図8に示したMOSトランジスタ2は、第1実施例と同様に横型に形成することも可能である。但し、MOSトランジスタを横型に形成する場合はP型半導体基板としてSOI（Silicon On Insulator）基板を用いるのが好ましい。

【0084】次に、図8に示したメモリセルに対する情報の書き込み方法、及び情報の読み出し方法について説明する。

【0085】図8に示したメモリセルに情報を書き込む場合は、第1実施例と同様に、対応する第1のスイッチSW1をオンにして第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2を短絡させ、書き込みデータに応じて第2のスイッチSW2にVhighまたはVlowのいずれか一方を出力させる。また、第3の書き込み線Jvssには基準電圧Vssを印加しておく。

【0086】そして、情報を書き込むメモリセルに対応するワード線に第1実施例と同様にバイアス電圧を印加してMOSトランジスタ2をオンさせ、第1の書き込み線Jvdd1及び第2の書き込み線Jvdd2に、例えば、図8の矢印の方向に書き込み電流を流し、磁性体膜5を矢印の方向に磁化して情報を記録する。

【0087】一方、図8に示したメモリセルから情報を読み出す場合は、第1のスイッチSW1をオフにして第1のデータ線及び第2のデータ線を分離させ、第3の書き込み線Jvssに所定の電源電圧Vddを印加する。

【0088】そして、ワード線に所定のバイアス電圧を印加し、MOSトランジスタ2をオンさせ、第1のデータ線及び第2のデータ線に流れる読み出し電流の差を、図6あるいは図7に示したセンスアンプ部を用いて検出することで、メモリセルに記録された情報を再生する。

【0089】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0090】メモリセルが備えるMOSトランジスタのソースまたはドレインを2つの領域に分割し、該2つの領域に接続される2本のデータ線、及び該2本のデータ線を情報の書き込み時に短絡させるためのスイッチをそれぞれ設け、情報の書き込み時にMOSトランジスタのチャネル領域に流れる書き込み電流により、記録する情報に応じた方向に磁性体を磁化させ、情報の読み出し時に2本のデータ線に流れる読み出し電流をそれぞれ検出

15

し、該2本のデータ線に流れる読み出し電流の大小関係から前記磁性体に記録された情報を再生することで、磁性体を磁化させることで情報を記録保持し、ホール効果を利用して記録された情報を再生する磁気メモリからなる半導体記憶装置を実現することができる。

【0091】また、データ線を磁性体を挟んでMOSトランジスタのチャネル領域と対向する位置を通るように配置し、MOSトランジスタのチャネル領域、及びデータ線にそれぞれ流れる書き込み電流によって磁性体を磁化することで、情報を書き込むのに必要な磁界の強さを低減することができるため、書き込み電流が低減され、半導体記憶装置の消費電力が低減される。

【0092】さらに、磁性体をMOSトランジスタのチャネル領域を覆うようにU字形状で形成することで、磁性体に対して磁界をより効果的に印加することができるため、磁気の検出感度が向上し、より少ない読み出し電流でメモリセルに記録された情報を再生することができる。

【図面の簡単な説明】

【図1】磁気センサを利用したメモリセルの一構成例を示す断面図である。

【図2】本発明の磁気メモリの第1実施例の構成を示す回路図である。

【図3】図2に示した磁気メモリが有するメモリセルの第1実施例の構成を示す斜視図である。

【図4】図3に示したメモリセルの構造の改良例を示す斜視図である。

【図5】図2に示した書き込み電流供給部の一構成例を示す回路図である。

【図6】図2に示したメモリセルから情報を読み出すためのセンスアンプの第1実施例の構成を示す回路図である。

【図7】図2に示したメモリセルから情報を読み出すためのセンスアンプ部の第2実施例の構成を示す回路図である。

【図8】図2に示した磁気メモリが有するメモリセルの\*

16

\*第2実施例の構造を示す斜視図である。

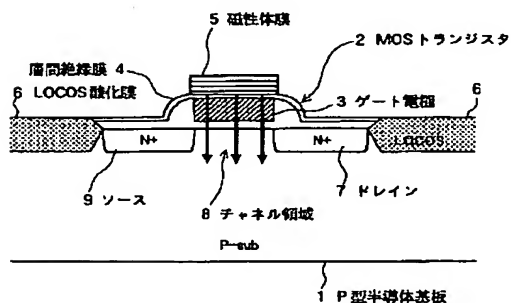
【図9】従来の磁気抵抗素子を用いた磁気メモリの構成を示す回路図である。

【図10】ホール効果を利用する磁気センサの構成を示す平面図である。

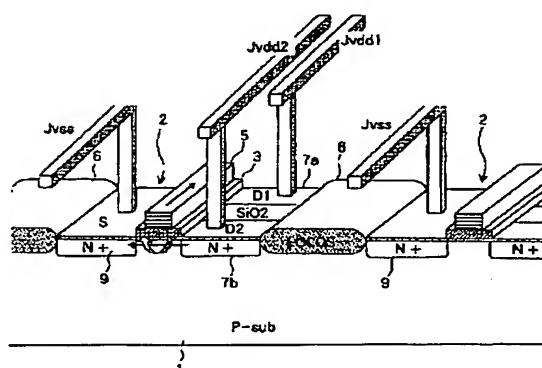
【符号の説明】

- 1 P型半導体基板
- 2、M11～M33、Q1～Q6、Q11、Q12 MOSトランジスタ
- 3 ゲート電極
- 4 層間絶縁膜
- 5、F11～F33 磁性体膜
- 6 LOCOS酸化膜
- 7、7a、7b ドレイン
- 7c 第2のN<sup>+</sup>領域
- 8 チャネル領域
- 9 ソース
- 9a 第1のN<sup>+</sup>領域
- 10 書き込み電流供給部
- 11 制御回路
- 12 シフトレジスタ
- 13 選択回路
- 14、15 センスアンプ部
- 16 電流源
- 17a 第1のアイソレーション領域
- 17b 第2のアイソレーション領域
- D1～D3、D1'～D3' データ線
- J1～J3 書き込み線
- Jvdd1 第1の書き込み線
- Jvdd2 第2の書き込み線
- Jvss 第3の書き込み線
- R11、R12 抵抗器
- SW1 第1のスイッチ
- SW2 第2のスイッチ
- W1～W3 ワード線

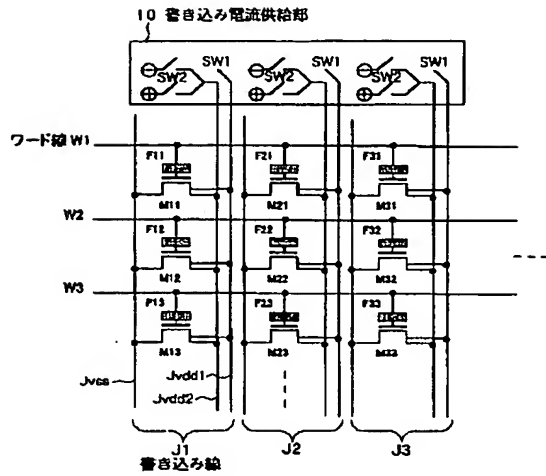
【図1】



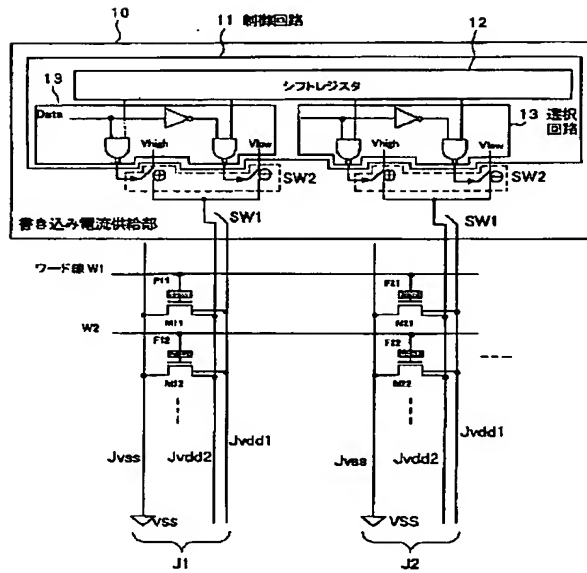
【図3】



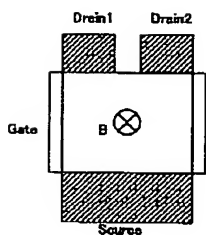
【図2】



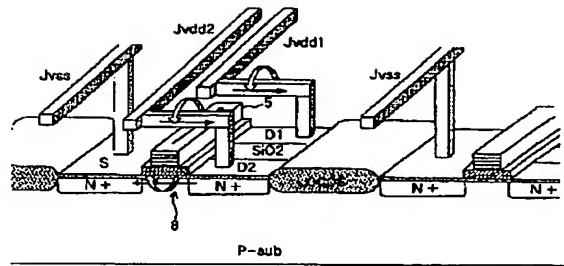
【図5】



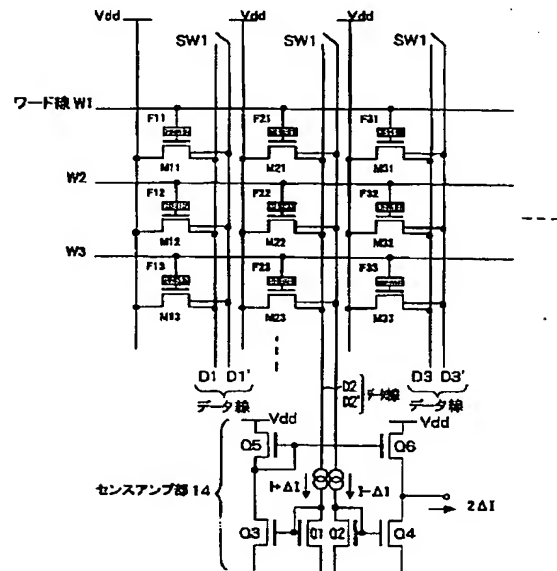
【図10】



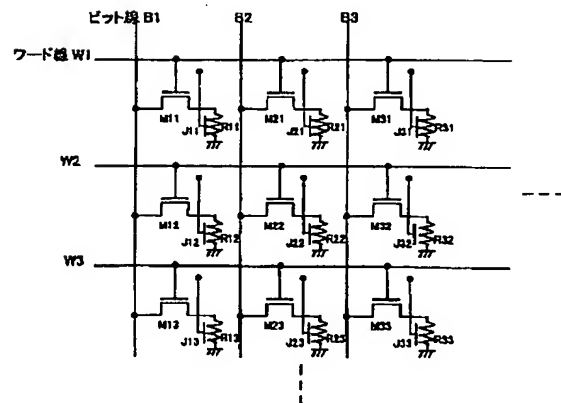
【図4】



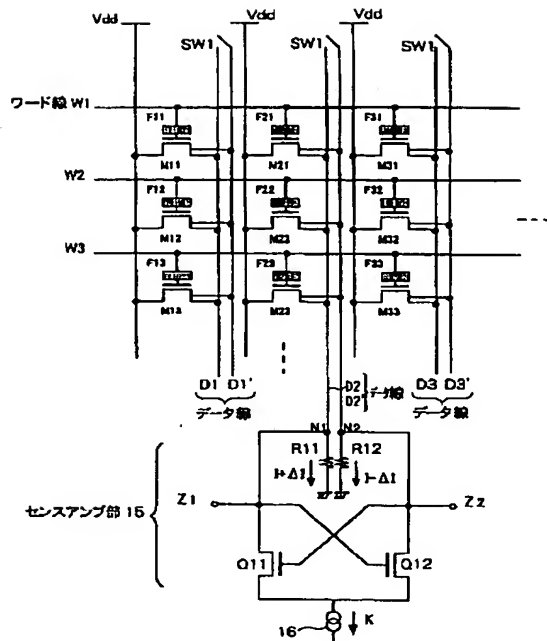
【図6】



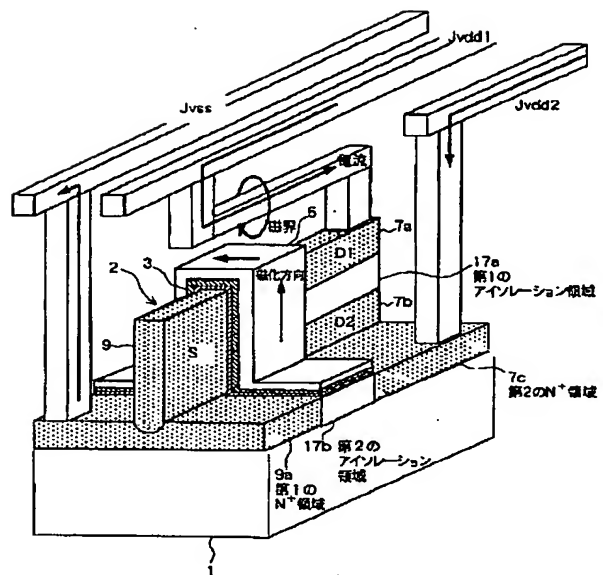
【図9】



【図7】



【図8】



フロントページの続き

(51) Int. Cl. 7  
H01L 29/792  
43/06

識別記号

FI  
H01L 29/78

テーマコード(参考)  
371